



(19) BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

Offenlegungsschrift

(10) DE 100 63 627 A 1

(51) Int. Cl.⁷:

G 11 C 29/00

(71) Anmelder:

Infineon Technologies AG, 81669 München, DE

(74) Vertreter:

Wilhelm & Beck, 80636 München

(21) Aktenzeichen: 100 63 627.6

(22) Anmeldetag: 20. 12. 2000

(43) Offenlegungstag: 18. 7. 2002

(72) Erfinder:

Kaiser, Robert, 86916 Kaufering, DE; Schamberger, Florian, 83435 Bad Reichenhall, DE

(56) Entgegenhaltungen:

DE 197 08 965 C2

US 53 13 424

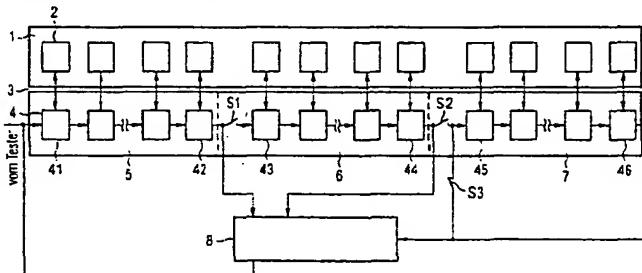
TARR, M.; BOUDREAU, D.; MURPHY, R.: Defect analysis system speeds test and repair of redundant memories. In: Electronis, 1984, Januar, S.175-179;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Integrierte Schaltung mit einer Datenverarbeitungseinheit und einem Zwischenspeicher

(57) Die Erfindung betrifft eine integrierte Schaltung mit einer Datenverarbeitungseinheit (8), einem Zwischenspeicher (3) und einem Einstellungsspeicher (1). Der Zwischenspeicher (3) nimmt die Funktion von Registern (5, 6, 7) zum Speichern von Daten für die Verarbeitungseinheit (8) wahr. Der Zwischenspeicher (3) ist mit dem Einstellungsspeicher (1) verbunden, wobei der Einstellungsspeicher (1) über den Zwischenspeicher (3) beschreibbar ist.



DE 100 63 627 A 1

DE 100 63 627 A 1

Beschreibung

[0001] Die Erfindung betrifft eine integrierte Schaltung mit einer Datenverarbeitungseinheit und einem Zwischenspeicher.

[0002] Das Testen einer integrierten Schaltung wird herkömmlicherweise durchgeführt, indem die integrierte Schaltung von einem Tester mit Testdaten versorgt wird. Die in Abhängigkeit von den angelegten Testdaten erhaltenen Ausgangswerte werden an den Tester zurückübertragen und dort überprüft. Stellt der Tester fest, dass ein zurückübertragener Wert nicht einem Sollwert entspricht, wird ein Fehler erkannt.

[0003] Für die Reparatur von Fehlern in integrierten Schaltungen sind häufig Einstellungsspeicher vorgesehen, die nach Abschluss eines Tests beschrieben werden, um z. B. defekte Schaltungsbereiche abzuschalten und durch zusätzlich auf der integrierten Schaltung vorgesehene, redundante Schaltungselemente zu ersetzen. Dies erfolgt dadurch, in dem sog. Fuses verwendet werden, die Schalter darstellen, die anfänglich geschlossen bzw. geöffnet sind und dann je nach vorzunehmender Einstellung mit Hilfe einer geeigneten Programmierschaltung geöffnet bzw. geschlossen werden.

[0004] Herkömmlicherweise wird die Berechnung der notwendigen Einstellungen in einem externen Tester durchgeführt. Diese Vorgehensweise ist insbesondere aufgrund der Datenübertragung vom und zum Tester sehr zeitintensiv. Will man die vorzunehmenden Einstellungen in der getesteten integrierten Schaltung ermitteln, so ist es notwendig, eine integrierte Verarbeitungsschaltung einschließlich Registerspeicher vorzusehen, in denen die Einstellungen berechnet werden. Bei Speicherbausteinen müsste diese Verarbeitungsschaltung die vorzunehmenden Einstellungen durch eine Redundanzkalkulation optimieren, wobei dann durch die Einstellungen Ersatzelemente für Fehleradressen in einem Speicherfeld aktiviert werden. Die Redundanzkalkulation in der Verarbeitungseinheit wird üblicherweise mit einem iterativen Verfahren durchgeführt. Das Ermitteln entsprechender Einstellungen in der zu testenden Schaltung hat den Nachteil, dass ein erheblicher zusätzlicher Schaltungsaufwand für die Verarbeitungsschaltung, die die Redundanzkalkulation durchführt, notwendig wäre.

[0005] Es ist daher Aufgabe dieser Erfindung, eine integrierte Schaltung vorzusehen, mit der die individuellen Einstellungen für den Einstellungsspeicher ermittelt werden können, wobei der notwendige Schaltungsaufwand minimiert wird.

[0006] Diese Aufgabe wird durch die integrierte Schaltung nach Anspruch 1 gelöst. Weitere vorteilhafte Ausführungsformen sind in den abhängigen Ansprüche angegeben.

[0007] Erfindungsgemäß ist eine integrierte Schaltung mit einer Datenverarbeitungseinheit, einem Zwischenspeicher und einem Einstellungsspeicher vorgesehen. Der Zwischenspeicher enthält Register für die Datenverarbeitungseinheit. Der Zwischenspeicher ist mit dem Einstellungsspeicher verbunden, wobei der Einstellungsspeicher über den Zwischenspeicher beschreibbar und/oder lesbar ist.

[0008] Diese Erfindung hat den Vorteil, dass eine Redundanzkalkulation zum Bestimmen der Einstellungswerte für den Einstellungsspeicher in der integrierten Schaltung, die getestet wird, vorgenommen werden kann. Die dazu notwendige Schaltung, die eine Datenverarbeitungseinheit, einen Zwischenspeicher und einen Einstellungsspeicher aufweist, um die notwendigen Berechnungen durchzuführen, hätte aufgrund des Schaltungsaufwands für den Registerspeicher einen nicht zu vernachlässigbaren Flächenbedarf in der integrierten Schaltung. Indem erfindungsgemäß vorge-

sehen ist, die ohnehin in der integrierten Schaltung zum Beschreiben der Einstellungsspeicher zur Verfügung stehenden Zwischenspeicher auch als Register für eine Datenverarbeitungseinheit zu verwenden, kann der zusätzliche Flächenbedarf minimiert werden. Es ist lediglich ein zusätzlicher Schaltungsaufwand für die Verarbeitungseinheit nötig, nicht jedoch für die Registerspeicher.

[0009] In einer weiteren bevorzugten Ausführungsform ist vorgesehen, dass die integrierte Schaltung Schaltungselemente zum Ersatz von defekten Schaltungsbereichen aufweist, wobei die Schaltungselemente durch den Einstellungsspeicher aktivierbar sind. Vorzugsweise sind die Schaltungselemente Speicherelemente, die defekte Speicherbereiche eines Speichers ersetzen. Es ist dabei besonders vorteilhaft, das Ermitteln der Einstellungen in der zu testenden integrierten Schaltung vorzunehmen, da insbesondere die optimale Nutzung der zur Verfügung stehenden Schaltungselemente, die die defekten Speicherbereiche ersetzen sollen, nur mit einem Rechenaufwand zu berechnen ist. Üblicherweise werden die dazu notwendigen Einstellungen iterativ ermittelt, d. h. in einem rechenintensiven Näherungsverfahren. Mit der erfindungsgemäßen Vorrichtung können die dazu notwendigen Rechenoperationen parallel in der jeweiligen integrierten Schaltung durchgeführt werden, wodurch Rechenkapazität in einem Tester eingespart werden kann.

[0010] Gemäß einer weiteren bevorzugten Ausführungsform ist vorgesehen, dass die Verarbeitungseinheit eine Arithmetik-Logik-Einheit (ALU) aufweist. Eine solche Arithmetik-Logik-Einheit ist üblicherweise aufgebaut, so dass codierte Anweisungen in einem Programmspeicher auf die Inhalte von einem oder mehreren Registern angewandt werden. Ferner ist vorgesehen, dass der Zwischenspeicher der integrierten Schaltung in mehrere Register unterteilt ist, wobei mindestens ein Register für die zu verarbeitenden Daten und ein weiteres Register für codierte Anweisungen für die ALU vorgesehen ist. Dabei weist die integrierte Schaltung vorzugsweise zwei Daten-Register für die zu verarbeitenden Daten auf. Eine solche Konfiguration ist vorteilhaft, damit ein Programmregister für die codierten Anweisungen und zwei Daten-Register vorgesehen sind, mit deren Inhalten arithmetische oder logische Operationen entsprechend den Anweisungen ausgeführt werden können. Das Ergebnis wird in eines der Daten-Register zurückgeschrieben. Da über die Arithmetik-Logik-Einheit die Daten in die Registerzellen geschrieben werden können, ist es möglich, dass die ALU die ermittelten Einstellungen direkt an die betreffende Position des Zwischenspeichers für den Einstellungsspeicher schreibt. Auf diese Weise kann in erheblichem Maße Zeit eingespart werden, da das Übertragen von ermittelten Daten von der integrierten Schaltung zum Tester und/oder umgekehrt entfällt.

[0011] Die Erfindung wird anhand der beigefügten Zeichnung näher erläutert. Es zeigt:

[0012] Fig. 1 ein Blockschaltbild einer integrierten Schaltung gemäß einer Ausführungsform der Erfindung.

[0013] Fig. 1 zeigt schematisch ein Blockschaltbild einer integrierten Schaltung gemäß einer bevorzugten Ausführungsform der Erfindung. In einer integrierten Schaltung (nicht gezeigt) befindet sich ein Einstellungsspeicher 1 mit Einstellungsspeicherzellen 2. Der Einstellungsspeicher 1 dient dazu redundante Schaltungsbereiche, insbesondere redundante Speicherbereiche, zu aktivieren, um dadurch defekte Bereiche eines (nicht gezeigten) Speicherarrays zu ersetzen. Der Einstellungsspeicher 1 steht mit einem Latch 3 mit Latchzellen 4 in Verbindung, so dass jede Einstellungsspeicherzelle 2 eine Latchzelle 4 zugeordnet ist. Das Latch 3 ist in einen ersten Latchbereich 5, einen zweiten Latchbe-

reich 6 und einen dritten Latchbereich 7 unterteilt, wobei die Latchzellen 4 in jedem der Latchbereiche 5, 6, 7 als Schieberegister verschaltet sind, d. h. der Ausgang einer Latchzelle ist mit dem Eingang einer nächsten Latchzelle 4 verbunden. Vorzugsweise weist der erste 5 und der zweite Latchbereich 6 jeweils die gleiche Anzahl von Latchzellen 4 auf. Es kann jedoch auch vorgesehen sein, dass die Anzahl der Latchzellen 4 in dem ersten Latchbereich 5 und dem zweiten Latchbereich 6 unterschiedlich sind.

[0014] Die jeweils erste bzw. letzte Latchzelle der Latchzellen 4 der drei Latchbereiche 5, 6, 7 sind mit den Bezugssymbolen 41, 43, 45 bzw. 42, 44, 46 versehen. Der Ausgang der letzten Latchzelle 42 des ersten Latchbereiches 5 ist über einen Schalter S1 schaltbar mit dem Eingang der ersten Latchzelle 43 des zweiten Latchbereiches 6 verbunden, so dass bei geschlossenem Schalter ein Schieberegister gebildet wird, das den ersten und zweiten Latchbereich umfasst. Ebenso ist der Ausgang der letzten Latchzelle 44 des zweiten Latchbereiches 6 über einen Schalter S2 schaltbar mit einem Eingang der ersten Latchzelle 45 des dritten Latchbereiches 7 verbunden, so dass bei geschlossenem Schalter S2 ein Schieberegister über den zweiten 6 und dem dritten Latchbereich 7 gebildet wird. Sind beide Schalter S1 und S2 geschlossen, bilden alle Latchzellen 4 gemeinsam ein Schieberegister.

[0015] Die Ausgänge der letzten Latchzellen 42, 44 des ersten Latchbereiches 5 und des zweiten Latchbereiches 6 sind jeweils mit einer Verarbeitungseinheit 8 verbunden, so dass die Daten in den Latchbereichen 5, 6, 7 seriell gelesen werden können. Ein Ausgang der Verarbeitungseinheit 8 ist mit einem Eingang der ersten Latchzelle 41 des ersten Bereiches 5 verbunden. Der Ausgang der letzten Latchzelle 46 des dritten Latchbereiches 7 ist einerseits mit einem Eingang der Verarbeitungseinheit 8 und andererseits über einen Schalter S3 schaltbar mit dem Eingang der ersten Latchzelle 45 des dritten Latchbereiches 7 verbunden. Die Schalter S1, S2 und S3 werden über die Verarbeitungseinheit 8 gesteuert. Am Eingang der ersten Latchzelle 41 des ersten Bereiches 5 ist weiterhin ein externer Tester angeschlossen (nicht gezeigt), über den die Latchzellen geschrieben oder ausgelesen werden können.

[0016] Um aus Fehlerdaten, d. h. fehlerhaften Ausgangsdaten bei Anliegen eines bestimmten Testmusters, wie z. B. Adressen defekter Speicherzellen, Einstellungsdaten für den Einstellungsspeicher 1 zu generieren, müssen die Fehlerdaten gewöhnlich in einem Algorithmus verarbeitet werden. Das Ergebnis des Algorithmus sind dann Einstellungsdaten, die in den Einstellungsspeicher 1 gespeichert werden. Bei herkömmlichen Testsystemen wird diese Berechnung in einem externen Tester (nicht gezeigt) durchgeführt, d. h. die Fehlerdaten werden an den externen Tester übertragen, dort die Berechnung durchgeführt und anschließend die Einstellungsdaten in die integrierte Schaltung zum Speichern in den Einstellungsspeicher 1 zurückübertragen.

[0017] Im vorliegenden Ausführungsbeispiel wird die integrierte Schaltung in einem Speicherbaustein vorgesehen. Der Einstellungsspeicher 1 erhält dann nach dem Beschreiben Einstellungswerte, wodurch Redundanzspeicherbereiche freigeschaltet werden, die defekte Speicherzellen in einem Hauptzellenfeld ersetzen. Da durch den Einstellungsspeicher sowohl Wort- und Bit-Leitungen als auch einzelne Zellen ersetzt werden können, ist es sinnvoll in einem Algorithmus defekte Zellen, soweit möglich, zu Wort- oder Bitleitungen zusammenzufassen, die dann mit einer dafür vorgesehenen redundanten Wort- oder Bitleitung ersetzt werden.

[0018] Mit der erfundungsgemäßen integrierten Schaltung ist es möglich, diese Berechnung in dem Speicherbaustein

durchzuführen. Dadurch, dass man die Latchzellen 4 für die Einstellungsspeicherzellen 2 als Register für die Verarbeitungseinheit 8 verwendet, kann in erheblichem Maße Fläche auf dem Speicherbaustein eingespart werden.

[0019] Eine Redundanzberechnung wird durchgeführt, indem zunächst vom Tester (nicht gezeigt) die ermittelten Fehlerdaten und die Verarbeitungsanweisungen zur Verfügung gestellt werden, die dann seriell in das als Schieberegister ausgebildete Latch 3 geschrieben werden, so dass sich Fehlerdaten in dem ersten Latchbereich 5 und dem zweiten Latchbereich 6 und Anweisungsdaten in dem dritten Latchbereich 7 befinden. Um diese Daten in das Latch 3 hineinschreiben, müssen die Schalter S1 und S2 geschlossen sein, so dass das gesamte Latch 3 ein einheitliches Schieberegister bildet. Das Latch 3 kann jedoch auch mit Daten beschrieben werden, die in der integrierten Schaltung erzeugt werden oder dort gespeichert sind. So können z. B. die Latchbereiche 5, 6 mit Daten aus einem Soll-Ist-Vergleich, der in der integrierten Schaltung stattfindet, und der Latchbereich 7 mit Programmdata aus einem ROM-Speicher beschrieben werden.

[0020] Befinden sich die vorgesehenen Daten im Latch 3, beginnt die Verarbeitungseinheit 8 damit, die Anweisung im dritten Latchbereich 7 auszuführen. Dazu werden die Schalter S1 und S2 geöffnet und Schalter S3, je nach dem, ob eine zyklische Bearbeitung notwendig ist, geschlossen. Nun wird der Inhalt der letzten Latchzelle 46 des dritten Bereiches 7 durch ein Verschieben nach rechts in die Verarbeitungseinheit 8 ausgelesen. Der Inhalt der letzten Latchzelle 46 wird dabei in die erste Latchzelle 45 des dritten Latchbereiches 7 wieder hineingeschrieben, wenn der Schalter S3 geschlossen ist.

[0021] Gemäß der empfangenen Anweisung liest die Verarbeitungseinheit 8 den Inhalt der letzten Latchzelle 42 des ersten Latchbereiches 5 und/oder der Inhalt der letzten Latchzelle 44 des zweiten Latchbereiches 6 ein und verknüpft diese Inhalte gemäß der empfangenen Anweisungen. Das Ergebnis wird in die erste Latchzelle 41 des ersten Latchbereiches 5 geschrieben, und alle Positionen der Latchzellen 4 nach rechts verschoben, wobei der Inhalt der letzten Latchzelle 42 des ersten Latchbereiches in die Verarbeitungseinheit 8 eingelesen wird.

[0022] Dieser Verarbeitungszyklus wird in einer vorgegebenen Anzahl wiederholt und dabei nacheinander durch ein Nach-Rechts-Verschieben der Latchzellen des ersten Bereiches 5 und/oder der Latchzellen 4 des zweiten Latchbereiches 6 alle Latchzellen des ersten Latchbereiches 5 und des zweiten Latchbereiches 6 gemäß der empfangenen Anweisung in der Verarbeitungseinheit 8 verarbeitet. Mit dem

Auslesen der Inhalte der Latchzellen 4 des ersten Latchbereiches 5 wird gleichzeitig an dem Eingang der ersten Latchzelle 41 des ersten Latchbereiches 5 das jeweilige Ergebnis der Verarbeitung in den ersten Latchbereich 5 geschrieben.

[0023] Nach Ablauf der bestimmten Anzahl von Zyklen ist die Anweisung bearbeitet und die nächste Anweisung wird aus der letzten Latchzelle 46 des dritten Latchbereiches 7 in die Verarbeitungseinheit durch ein Nach-Rechts-Verschieben eingelesen. Dort wird, wie zuvor beschrieben, der Inhalt der Latchzellen 4 des ersten Latchbereiches 5 und/oder der Inhalt der Latchzellen des zweiten Latchbereiches 6 gemäß der Anweisung verarbeitet und das Ergebnis jeweils in die erste Latchzelle 41 des ersten Latchbereiches 5 hineingeschrieben. Auslesen und Hineinschreiben in den Latchbereich 5 und den zweiten Latchbereich 6 erfolgt durch ein Nach-Rechts-Verschieben der Inhalte.

[0024] Die Verarbeitungseinheit 8 kann ebenfalls über ein Steuern des Schalters S1 vorsehen, die Inhalte des ersten Latchbereiches 5 in den zweiten Latchbereich 6 durch ein

Nach-Rechts-Verschieben zu übertragen. Analog ist es auch möglich, Inhalte des zweiten Latchbereiches 6 über die Verarbeitungseinheit 8 – gesteuert durch im dritten Latchbereich 7 gespeicherten Anweisungen – in den ersten Latchbereich 5 zu übertragen. Weiterhin ist es möglich, durch Schließen des Schalters S2 und Öffnen des Schalters S3 den Inhalt des zweiten Latchbereiches 6 in den dritten Latchbereich 7 zu übertragen. Dadurch kann auch ein Ergebnis einer zuvor erfolgten Operation in den dritten Latchbereich 7, den Anweisungsspeicher, geladen werden, wodurch komplexe, vom Ergebnis vorheriger Operationen abhängige Programmabläufe durchgeführt werden können.

[0025] Es kann weiterhin vorgesehen sein, dass die erfundungsgemäße integrierte Schaltung nur ein Teil der zur Verfügung stehenden Latchzellen 4 als Registerzellen verwendet. Z. B. könnte der Ausgang der letzten Latchzelle 46 des dritten Bereiches 7 über einen weiteren Schalter (nicht gezeigt) mit weiteren Latchzellen 4, die jeweiligen Einstellungsspeicherzellen 2 zugeordnet sind, verbunden sein. Dadurch wäre es möglich, dass bereits ermittelte Einstellungswerte für den Einstellungsspeicher 1 in die betreffenden Latchzellen 4 abgelegt werden, ohne diese zuvor zur Zwischenspeicher o. ä. an den externen Tester übertragen zu müssen.

[0026] Selbstverständlich können die Latchzellen 4 auch in mehr als drei Bereiche unterteilt werden. Dadurch ist es möglich, in der Verarbeitungseinheit 8 auch komplexere Operationen mit mehr als zwei Registern vorzunehmen.

[0027] Durch das Schließen des Schalters S3 wird der Programmspeicher im dritten Latchbereich 7 rückgekoppelt, so dass eine vorgegebene Anweisungsfolge wiederholt ausgeführt werden kann. Dies eignet sich bevorzugt für das Durchführen von iterativen Berechnungsverfahren, die insbesondere bei der Optimierung von Einstellungswerten aus Fehlerdaten vorgenommen werden müssen. Es ist dadurch möglich, erhebliche Rechenzeit einzusparen, da während eines Testlaufes die integrierten Bausteine parallel Rechenoperationen durchführen können, die nach herkömmlichem Verfahren im Tester stattgefunden hätten.

[0028] Die Größe der Latchbereiche 5, 6, 7 kann willkürlich gewählt werden. Es ist jedoch sinnvoll, den ersten und zweiten Latchbereich 5, 6 in der Größe einer Speicheradresse vorzusehen, um Adressen defekter Speicherzellen verarbeiten zu können und den dritten Latchbereich 7 in einer ausreichenden Größe für die Operationen für die Verarbeitungseinheit 8 vorzusehen.

[0029] Die in der vorstehenden Beschreibung, der Zeichnung und den Ansprüchen offenbarten Merkmale der Erfindung können sowohl einzeln als auch in beliebiger Kombination für die Verwirklichung der Erfindung in ihren verschiedenen Ausgestaltungen von Bedeutung sein.

Bezugszeichenliste

1 Einstellungsspeicher	55
2 Einstellungsspeicherzelle	
3 Latch	
4 Latchzellen	
5 1. Latchbereich	
6 2. Latchbereich	60
7 3. Latchbereich	
8 Verarbeitungseinheit	
41–46 Latchzellen	
S1, S2, S3 Schalter	

einheit (8), einem Zwischenspeicher (3), der Register (5, 6, 7) zum Speichern von Daten für die Datenverarbeitungseinheit (8) enthält, und einem Einstellungsspeicher (1) dadurch gekennzeichnet, dass der Zwischenspeicher (3) mit dem Einstellungsspeicher (1) verbunden ist, wobei der Einstellungsspeicher (1) über den Zwischenspeicher (3) beschreibbar und/oder lesbar ist.

2. Integrierte Schaltung nach Anspruch 1, dadurch gekennzeichnet, dass der Einstellungsspeicher (1) dazu dient, Schaltungselemente zu aktivieren.

3. Integrierte Schaltung nach Anspruch 2, dadurch gekennzeichnet, dass die zu aktivierenden Schaltungselemente Speicherelemente sind, die Speicherbereiche eines Speichers ersetzen.

4. Integrierte Schaltung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Verarbeitungseinheit (8) eine Arithmetik-Logik-Einheit umfasst.

5. Integrierte Schaltung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass ein Register (5, 6) des Zwischenspeichers (3) für zu verarbeitende Daten und ein weiteres Register (7) des Zwischenspeichers (3) für kodierte Anweisungen für die Arithmetik-Logik-Einheit vorgesehen ist.

6. Integrierte Schaltung nach Anspruch 5, dadurch gekennzeichnet, dass die integrierte Schaltung zwei Zwischenspeicher (3) aufweist, die zu verarbeitende Daten enthalten.

7. Integrierte Schaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Zwischenspeicher (3) als ein Latch ausgebildet ist.

8. Integrierte Schaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Zwischenspeicher (3) ein Schieberegister aufweist.

9. Integrierte Schaltung nach Anspruch 8, dadurch gekennzeichnet, dass das Schieberegister mindestens einen Schalter (S1, S2) aufweist, um das Schieberegister in Register (5, 6, 7) für die Verarbeitungseinheit (8) zu unterteilen.

10. Integrierte Schaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Register (5, 6, 7) jeweils seriell durch die Verarbeitungseinheit (8) beschreibbar und auslesbar sind.

11. Integrierte Schaltung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Einstellungsspeicher (1) elektrische Fuses enthält.

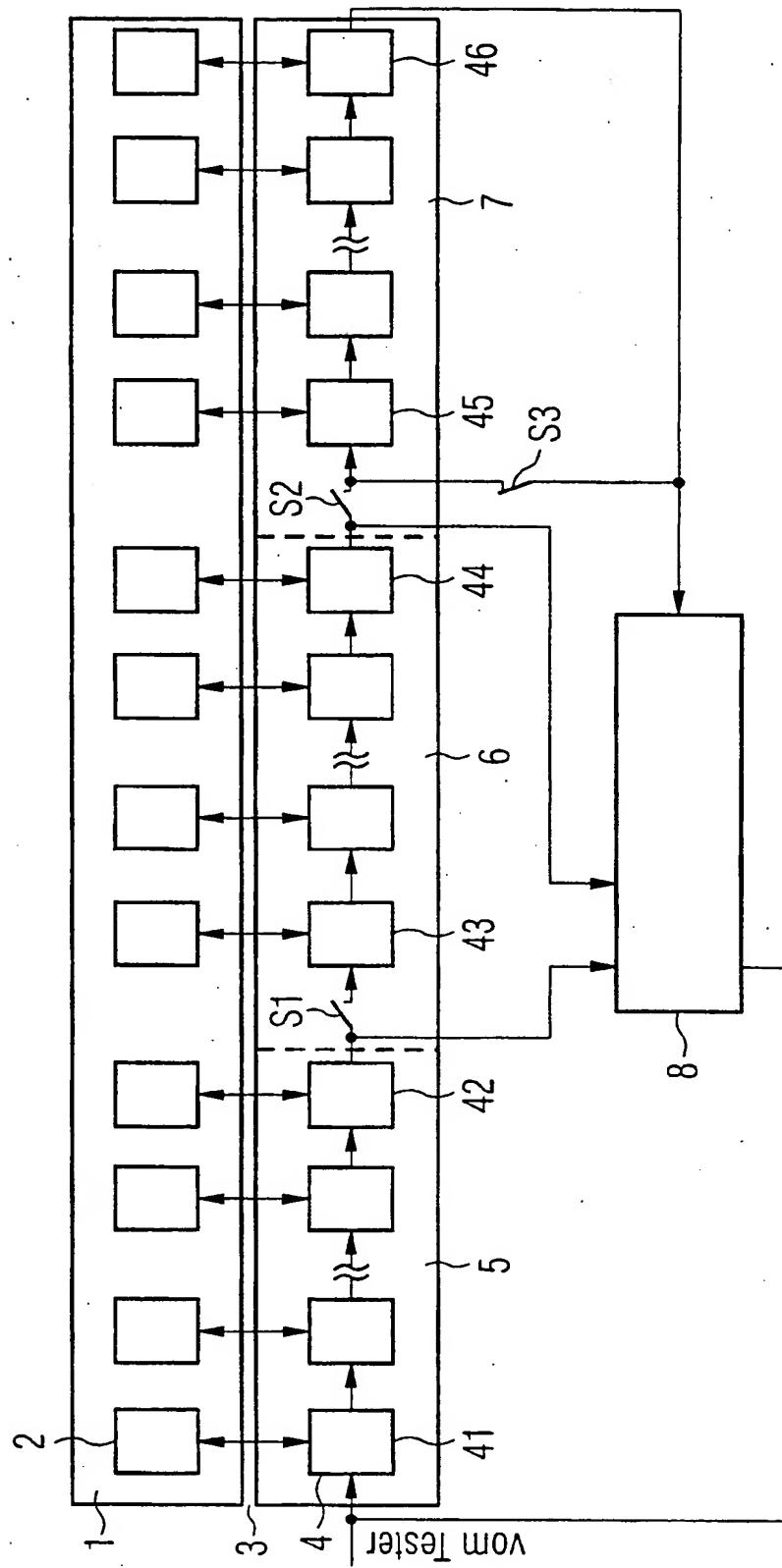
12. Verwendung der integrierten Schaltung nach einem der vorhergehenden Ansprüche zum Ermitteln von Einstellungsdaten für den Einstellungsspeicher aus in einem Register gespeicherten Adressdaten von als fehlerhaft erkannten Speicherbereichen eines Speichers abhängig von in einem Register gespeicherten Anweisungsdaten.

Hierzu 1 Seite(n) Zeichnungen

Patentansprüche

1. Integrierte Schaltung mit einer Datenverarbeitungs-

- Leerseite -



Integrated circuit having a data processing unit and a buffer memory

Patent Number: US2002083380

Publication date: 2002-06-27

Inventor(s): SCHAMBERGER FLORIAN (DE); KAISER ROBERT (DE)

Applicant(s):

Requested Patent: DE10063627

Application Number: US20010034070 20011220

Priority Number(s): DE20001063627 20001220

IPC Classification: G11C29/00

EC Classification:

Equivalents:

Abstract

An integrated circuit includes a data processing unit, a buffer memory, and a setting memory. The buffer memory performs the function of registers for storing data for the processing unit. The buffer memory is connected to the setting memory. The setting memory can be written to through the buffer memory

Data supplied from the esp@cenet database - I2

DOCKET NO: P2007, 0627
SERIAL NO: _____
APPLICANT: Peter Beer
LERNER AND GREENBERG P.A.
P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022
TEL. (954) 925-1100